

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141170

(P2002-141170A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
H 0 5 B 33/12		H 0 5 B 33/12	B 3 K 0 0 7
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C 5 C 0 8 0
	9/30		3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z 5 G 4 3 5
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 K

審査請求 未請求 請求項の数17 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-242914 (P2001-242914)

(22) 出願日 平成13年8月9日 (2001.8.9)

(31) 優先権主張番号 特願2000-248912 (P2000-248912)

(32) 優先日 平成12年8月18日 (2000.8.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 柴田 典子

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

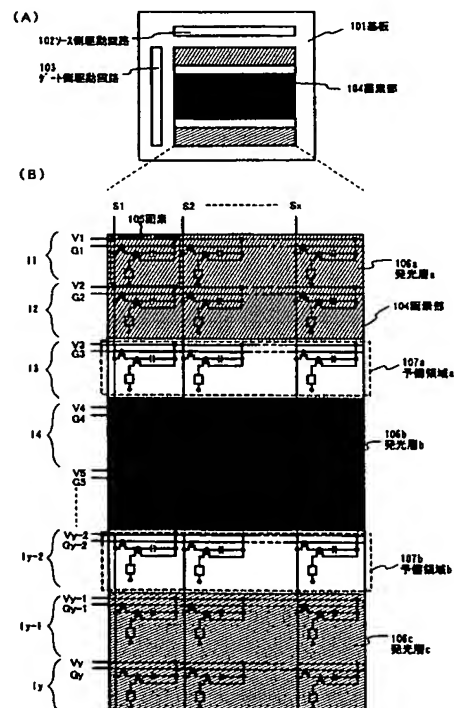
最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【要約】 (修正有)

【課題】 アクティブマトリクス型の発光装置のマルチカラー化を容易に実現することを目的とする。

【解決手段】 画素行、画素列または、隣り合う複数の画素といった画素群ごとに数種類のEL層を形成させて複数色の表示領域を形成することにより、アクティブマトリクス型の発光装置におけるマルチカラー化の実現を図る。また、予備領域を設けることでマスクずれ等により生じるEL層の形成不良を防ぐことができる。さらにトリプレット化合物からなるEL層を用いることにより省電力化を実現することができる。



**【特許請求の範囲】**

【請求項 1】絶縁表面上に画素部と駆動回路が形成されたアクティブマトリクス型の発光装置において、前記画素部は、複数の EL 層を有し、前記 EL 層を共有する EL 素子が複数個設けられていることを特徴とする発光装置。

【請求項 2】絶縁表面上に画素部と駆動回路が形成されたアクティブマトリクス型の発光装置において、前記画素部は、複数の EL 層を有し、前記 EL 層を共有する EL 素子が複数個設けられて少なくとも一つの表示領域が形成されていることを特徴とする発光装置。

【請求項 3】絶縁表面上に画素部と駆動回路が形成されたアクティブマトリクス型の発光装置において、前記画素部は、複数の画素に渡って連続して設けられる EL 層を複数個有し、前記各画素は、少なくとも一つの TFT と前記 EL 層を用いた EL 素子とを有することを特徴とする発光装置。

【請求項 4】絶縁表面上に画素部と駆動回路が形成されたアクティブマトリクス型の発光装置において、前記画素部は、複数の画素と一つの EL 層とを有する表示領域を複数個有し、表示領域ごとに同じ EL 層を共有する EL 素子が前記画素に設けられていることを特徴とする発光装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれかにおいて、前記 EL 層は、連続した複数の画素行に形成されていることを特徴とする発光装置。

【請求項 6】請求項 5 において、電流制御用 TFT に電氣的に接続される電流供給線は、前記画素行が形成される方向に対して平行となるように配置されることを特徴とした発光装置。

【請求項 7】請求項 1 乃至請求項 4 のいずれかにおいて、前記 EL 層は、連続した複数の画素列に形成されていることを特徴とする発光装置。

【請求項 8】請求項 7 において、電流制御用 TFT に電氣的に接続される電流供給線は、前記画素列が形成される方向に対して平行となるように配置されることを特徴とした発光装置。

【請求項 9】請求項 1 乃至請求項 8 のいずれかにおいて、前記 EL 層が 2 ～ 6 種類であることを特徴とする発光装置。

【請求項 10】請求項 1 乃至請求項 9 のいずれかにおいて、少なくとも一つの EL 層が、第三遷移系列元素を含むことを特徴とする発光装置。

【請求項 11】請求項 1 乃至請求項 10 のいずれかにおいて、一つの EL 層が EL 層全体の 70 ～ 90 % の領域を占めることを特徴とする発光装置。

【請求項 12】請求項 1 乃至請求項 11 のいずれかにおいて、前記 EL 層のうち隣り合う EL 層の間に予備領域を有することを特徴とする発光装置。

【請求項 13】請求項 12 において、前記予備領域にお

ける EL 素子が発光しないことを特徴とする発光装置。

【請求項 14】請求項 12 または請求項 13 において、前記予備領域が 1 ～ 5 本設けられていることを特徴とする発光装置。

【請求項 15】請求項 1 乃至請求項 14 のいずれかにおいて、駆動電圧が 1.2 ～ 10 V であることを特徴とする発光装置。

【請求項 16】請求項 1 乃至請求項 15 のいずれかにおいて、動作時からスタンバイ時に切り替わると、文字表示と背景表示の表示方法が切り替わることを特徴とする発光装置。

【請求項 17】請求項 1 乃至請求項 16 のいずれかにおいて、前記発光装置は、表示装置、行き先表示板、ゲーム機、携帯電話、音響再生装置、から選ばれた一種であることを特徴とする発光装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、電極間に EL (Electro Luminescence) が得られる有機化合物からなる薄膜 (以下有機 EL 膜という) を挟んだ素子 (以下 EL 素子という) を含む発光装置に関する。

**【0002】**

【従来の技術】近年、基板上に TFT を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置 (発光装置) への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型の発光装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電気光学装置の小型化、歩留まりの向上、スループットの低減など、様々な利点が得られる。

【0004】そしてさらに、自発光型素子として EL 素子を有したアクティブマトリクス型の発光装置の研究が活発化している。

【0005】EL 素子是一对の電極 (陽極と陰極) 間に EL 層が挟まれた構造となっているが、EL 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層 / 発光層 / 電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているものは殆どこの構造を採用している。

【0006】また他にも、陽極上に正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層、または正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピン

グしても良い。

【0007】本明細書において陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

【0008】そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書中では、陽極、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

【0009】E L素子が有するE L層は熱、光、水分、酸素等によって劣化が促進されることから、一般的にアクティブマトリクス型の発光装置の作製において、画素部に配線やT F Tを形成した後にE L素子が形成される。

【0010】なお、上記E L層の形成（成膜）方法としては様々な方法が提案されている。例えば、真空蒸着法、スパッタ法、スピンコート法、ロールコート法、キャスト法、L B法、イオンブレーティング法、ディッピング法、インクジェット法、印刷法などが挙げられる。

【0011】さらに、発光装置のカラー化を実現するために、例えば、特開平10-012377号公報に示されているようにインクジェット法を用いて発光色の異なるE L層を画素毎に形成する技術が提案されている。

【0012】

【発明が解決しようとする課題】発光装置における高精細な表示を狙うためには、アクティブマトリクス型が望ましいが、複数のE L層を塗り分けによって形成して、カラー化を実現する場合には、その微細構造によるメタルマスクずれのためにE L層の形成不良が生じることがあった。

【0013】

【発明を解決するための手段】上記課題を解決するために本発明において、画素部に一行に並ぶ複数の画素を画素行、画素部に一列に並ぶ複数の画素を画素列とよび、画素行、画素列または、隣り合う複数の画素といった画素群ごとに数種類のE L層を形成させて、アクティブマトリクス型の発光装置におけるマルチカラー化の実現を図る。

【0014】本発明において、画素部における画素行のうちで、端から複数の画素行に一種類目のE L層を形成する。そして、一種類目のE L層に隣り合う画素行を一行空けた後、これに隣り合う複数の画素行に二種類目のE L層を形成する。なお、一種類目のE L層と二種類目のE L層の間に設けられている画素行を本明細書中では、予備領域と呼ぶことにし、この予備領域にはE L層を形成しない。

【0015】予備領域は、一種類目のE L層と二種類目のE L層を形成する際にマスクずれ等が生じたときのためのマージンとして設けているものである。なお、予備

領域に存在する画素行には、信号を入力しないため、万一、予備領域に一種類目のE L層又は、二種類目のE L層が形成された場合にも問題にはならない。

【0016】さらに、二種類目のE L層を形成した後で、再び隣り合う画素行に予備領域を設ける。つまり、このようにE L層と予備領域を交互に設けて画素部におけるE L層の形成時に生じる不良の防止を図る。

【0017】なお、ここで形成する予備領域は、1～5行設けるのが好ましく、つまり、E L層は、予備領域によって2～6種類設けるのが好ましい。

【0018】また、E L層を形成する発光材料としては、これまで公知の材料を用いることができるが、外部量子効率を向上させるために少なくとも一種類のE L層に三重項励起エネルギーを発光（リン光の発光）に変換しうる有機化合物（以下トリプレット化合物という）を用いる必要がある。なお、通常の発光に用いている材料は、一重項励起エネルギーを発光に変換しうる化合物であることからシングレット化合物という。

【0019】トリプレット化合物としては以下の論文に記載の有機化合物が代表的な材料として挙げられる。

(1) T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in OrganizedMolecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.

(2) M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.

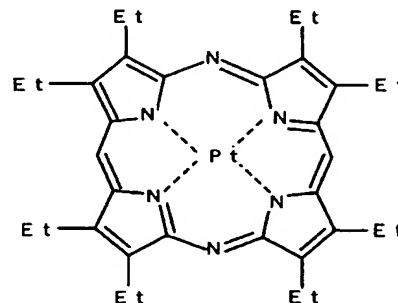
(3) M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.

(4) T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.

これらの論文で開示される有機化合物を以下に示す。

【0020】

【式1】

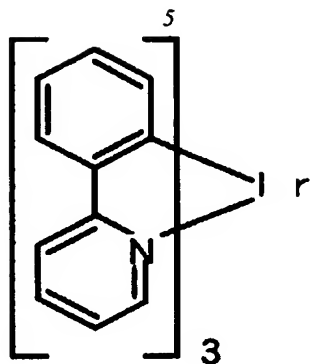


(式中、E tはエチル基を表す)

【0021】上記分子式は、第三遷移系列元素である白金を中心金属とする金属錯体（以下、白金錯体という）である。

【0022】

【式2】



【0023】また、上記分子式は、イリジウムを中心金属とする金属錯体（以下、イリジウム錯体という）である。

【0024】なお、トリプレット化合物としては、これらの化合物に限られることはなく、上記構造を有し、かつ中心金属に周期表の8～10属に属する元素を有する化合物を用いることも可能である。

【0025】上記トリプレット化合物は、シングレット化合物よりも発光効率が高く、同じ発光輝度を得るにも動作電圧（EL素子を発光させるに要する電圧）を低くすることが可能である。

【0026】また、以上に示すような複数の画素行ごとに同じ発光材料からなるEL層を形成するだけでなく、複数の画素列、または隣り合う複数の画素に同じ発光材料を用いて形成したEL層を有する他の形状であっても良い。

【0027】さらに、同じ発光材料により形成される1種類のEL層が画素部に形成されるEL層全体の70～90%の領域を形成されていても良い。

【0028】以上のようにEL層を形成させることにより、高精細でありかつ低消費電力化を可能にしたマルチカラーの発光装置を形成することができる。

【0029】

【発明の実施の形態】本発明により、画素部に複数のEL層を形成する方法について図1および図2を用いて説明する。ただし、ここでは、異なるEL層を別々に作製するのではなく、EL層のうちで発光層のみを別々に作製する方法について説明する。なお、本明細書中においてEL層を形成する際に少なくとも発光層に用いられる材料が同じであるものは、同じEL層とみなす。

【0030】図1（A）は、基板101上にソース側駆動回路102、ゲート側駆動回路103及び画素部104が形成された様子を示す概略図である。画素部104は、3種類のEL層により形成されている。なお、本発明は、基板上の画素部104における複数のEL層の形成に関するものであり、図1（B）に画素部104の拡大図を示す。また、図2は、作製するEL層の斜視図を示す。図1及び図2は、同一の符号を用いているので適宜参照すると良い。

(4)

特開2002-141170

6

【0031】図1（B）において、画素部104には、画素105が、縦及び横に複数並んで形成されている。なお、画素105は、画素部に設けられているゲート線（G1）、ソース線（S1）および電流供給線（V1）により形成される。また、画素部104において、電流供給線（V1～Vy）とゲート線（G1～Gy）は、平行に、かつ交互に形成されている。

【0032】なお、本実施の形態においては、ゲート線（G1）、ソース線（S1～Sx）および電流供給線（V1）を有する画素行を11（エル1）とよび、ゲート線（G2）、ソース線（S1～Sx）および電流供給線（V2）を有する画素行を12、また、ゲート線（Gy）、ソース線（S1～Sx）および電流供給線（Vy）を有する画素行を1yとよぶことにする。

【0033】ここでは、本発明の実施の形態として基板上にTFT及びEL素子の画素電極を形成させた画素部にEL層を形成させる方法について説明する。

【0034】まず、図2（A）に示すように画素電極201上に正孔注入層（または、ホール注入層）202を形成する。このとき正孔注入材料としては、陽極との密着性が高く、正孔注入障壁の低い銅フタロシアン（Cu-PC）やPEDOTといった物質を用いると良い。

【0035】次に、正孔輸送層（または、ホール輸送層）203を設ける。正孔輸送材料としては、正孔の移動を速める機能を有する芳香族アミン系の $\alpha$ -NPD、2Me-TPD、TPAC、または、スピロ構造を有するTADといった材料が適している。

【0036】そして、正孔注入層202、正孔輸送層203を形成した後で、発光層を形成する。

【0037】まず図1（B）における11および12の画素行に発光層a（106a）を形成する。ここでは、赤色発光層を形成させ、赤色発光層の材料としては、アルミキノリラト錯体（Alq3）にDCMを数パーセント程度ドープさせたものを用いる。成膜には、蒸着法を用い、膜厚は1～60nm（好ましくは10～30nm）とすれば良い。なお画素部104における発光層a（106a）を形成した後の構造を図2（A）の斜視図に示す。

【0038】また、発光層a（106a）に隣り合う画素行13には発光層を形成させずに予備領域a（107a）を設ける。

【0039】次に14から1y-3までの画素行に再び発光層b（106b）を形成する。なお、ここでは、緑色発光層を形成させる。緑色発光層には、トリプレット化合物として、CBPにIr（ppy）3を数パーセント程度ドープさせたものを用いる。具体的な方法としては、CBPとIr（ppy）3を共蒸着させて作製する。このときの膜厚は1～60nm（好ましくは10～30nm）とすれば良い。

【0040】さらに、1y-2の画素行を予備領域b

(107b)とした後で、ly-1およびlyの画素行に発光層c(107c)を形成させる。なお、ここでは、青色発光層を形成させる。青色発光層には、ビススチリル系材料であるDPVBiを用いた。この他、青色発光層には、アゾメチン亜鉛錯体やベンゾオキサゾール亜鉛錯体( $Zn(BOX)_2$ )といった発光材料を用いると良い。また、これらの発光材料にペリレンを数パーセント程度ドーピングさせたものを用いても良い。成膜には、蒸着法を用い、膜厚は1~60nm(好ましくは10~30nm)とすれば良い。

【0041】以上のEL層を形成すると図2(B)に示すような構造になる。すなわち発光層a(106a)と発光層b(106b)との間に予備領域a(107a)が設けられ、また発光層b(106b)と発光層c(106c)との間に予備領域b(107b)が設けられている構造になる。

【0042】なお、本実施の形態においては、EL層が赤色発光層、緑色発光層及び青色発光層の3種類で形成される例を示したが、発光層の種類及び発光材料は好ましい形態の一つに過ぎない。つまり、発光層は、2種類であっても良いが、3種類以上であっても良い。しかし、あまり多くの発光層を形成すると、作製が困難になり本発明の目的に反するので、6種類程度が好ましい。又、予備領域は、1~5行設けるのが好ましい。

【0043】ただし、発光装置における低消費電力化を考慮するとトリプレット化合物からなる発光層は、少なくとも一層設ける必要がある。なお、三重項励起エネルギーを利用する発光層としては、CBPにオクタエチルボルフィリン白金錯体(2,3,7,8,12,13,17,18-octaethyl-21H,23H-porphine platinum:PtOEP)をドーピングさせたオレンジ色の発光層がある。

【0044】さらに、発光層の色の種類も上記3種類以外を用いることが可能である。例えば、発光層として、黄色発光層を形成させることもできる。発光材料としては、Alq<sub>3</sub>にナイルレッド(Nile Red)をドーピングしたり、BeBq<sub>2</sub>やTPDにルブレネ(Rubrene)をドーピングしたものを用いると良い。なお、膜厚は1~60nm(好ましくは10~30nm)とすれば良い。

【0045】さらに白色発光層を形成させることも可能である。白色発光層の作製は、発光色素をホスト発光層にドーピングすることにより得ることができる。その他、スピロ型のDTVBiの層とAlq<sub>3</sub>にDCMをドーピングした層を積層することにより作製しても良い。なお、積層による発光層の膜厚はそれぞれ1~30nm(好ましくは10~20nm)とすれば良いが、個々の発光強度等に応じて調節すると良い。

【0046】また、これまで発光材料としては、低分子材料を示したが、ポリパラフェニレンビニレン(PPV)系、ポリパラフェニレン系、ポリビニルカルバゾール(PVK)系、ポリチオフェン系、ポリフルオレン

(PF)系などの高分子材料を用いても良い。高分子材料の成膜方法としては、インクジェット法が望ましい。

【0047】ポリパラフェニレンビニレン系の材料としては、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン):RO-PPVを用いることができ、ポリ(2-メトキシ-5-(2-エチルヘキソキシ)-1,4-フェニレンビニレン):MEH-PPVやポリ(2,5-ジメチルオクチルシリル-1,4-フェニレンビニレン):DMOS-PPVといった材料を用いることができる。

【0048】ポリパラフェニレン系の材料としては、ポリ(2,5-ジアルコキシ-1,4-フェニレン):RO-PPPを用いることができる。

【0049】ポリチオフェン系の材料としては、ポリ(3-アルキルチオフェン):PATを用いることができ、ポリ(3-ヘキシルチオフェン):PHT、ポリ(3-シクロヘキシルチオフェン):PCHTといった材料を用いることができる。その他にもポリ(3-シクロヘキシル-4-メチルチオフェン):PCHMT、ポリ(3-[4-オクチルフェニル]-2,2'-ビチオフェン):PTOPT、ポリ(3-(4-オクチルフェニル)-チオフェン):POPT-1等を用いることもできる。

【0050】ポリフルオレン系の材料としては、ポリ(ジアルキルフルオレン):PDAFを用いることができ、具体的にはポリ(ジオクチルフルオレン):PDOFといった材料を用いることができる。

【0051】ポリアセチレン系の材料としては、ポリプロピルフェニルアセチレン:PPA-iPr、ポリブチルフェニルフェニルアセチレン:PDPA-nBu、ポリヘキシルフェニルアセチレン:PHPAといった材料を用いることができる。

【0052】また、これらの高分子材料の溶媒としては、トルエン、ベンゼン、クロロベンゼン、ジクロロベンゼン、クロロホルム、テトラリン、キシレン、アニソール、ジクロロメタン、γ-ブチラクトン、ブチルセルソルブ、シクロヘキサン、NMP(N-メチル-2-ピロリドン)、ジメチルスルホキシド、シクロヘキサノン、ジオキサンまたは、THF(テトラヒドロフラン)等を用いることができる。

【0053】さらに、上述した材料に加えて正孔注入性の高分子材料、PEDOT(poly(3,4-ethylene dioxythiophene))や、ポリアニリン(PA)を用いることもできる。なお、これらの材料は水を溶媒として用いる。

【0054】なお、これらは、本発明の発光層に用いることのできる発光材料の一例であって、これに限定する必要はなく、公知の発光材料を自由に用いることができる。

【0055】以上のように複数の発光層を形成させた後で、電子輸送層205および電子注入層206を形成す

る。このとき電子輸送材料としては、 $Alq_3$ 、1, 3, 4-トリオキサゾール誘導体および1, 2, 4-トリアゾール誘導体(TAZ)などの正孔(ホール)ブロック性の高い材料が好ましい。

【0056】また、電子注入層206を形成する材料としては、MgAg、LiFおよびLi(acac)が好ましい。さらに、 $Alq_3$ にアルカリ金属をドープしたものをを用いても良い。

【0057】以上により、図2(C)に示すようなEL層204を形成することができる。なお、本実施の形態においては、正孔注入層202、正孔輸送層203、発光層(106a~106c)、電子輸送層205、電子注入層206からなる構造のEL層204を形成する方法を示したが、発光層以外の層は、必要に応じて設ければ良い。

【0058】また、発光材料が異なっても正孔注入層、正孔輸送層、電子輸送層および電子注入層は同じ材料を用いて、同時に形成する方法を説明したが、これに限られる必要はなく、EL層ごとに異なる材料を用いて別々に形成しても良い。

【0059】なお、本実施の形態においては、画素部104に3種類の発光層(発光層a、発光層b、発光層c)および予備領域(予備領域a、予備領域b)を形成したが、予備領域となる画素には、ソース信号は入力しない。しかし、予備領域を除き、発光層が形成された画素には、ソース信号が入力される。ソース信号により表示がなされる複数の画素からなる領域のことを本明細書中では、表示領域と呼ぶ。

【0060】そして、この表示領域が各発光層に応じた色を表示することにより、同一基板上でのマルチカラー化が可能となる。

【0061】また、前記したように発光層の区分を図1と異なるものにしても良い。図11にその例を示す。これらにおいて、画素内の電流供給線は、発光層に合わせて配置するのが好ましい。発光層を行ごとに区分する場合には、行と平行に電流供給線を配置し、発光層を列ごとに区分する場合には、列と平行に電流供給線を配置する。なお、詳細については、以下の実施例において説明する。

#### 【0062】

【実施例】〔実施例1〕ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製し、さらにEL素子までを形成する方法について詳細に図3~図6を用いて説明する。

【0063】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板300を用いる。なお、基板300としては、透光性を有する基板であれば限定され

ず、石英基板を用いても良い。また、本実施例の処理温度に耐える耐熱性を有するプラスチック基板を用いてもよい。

【0064】次いで、基板300上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜301を形成する。本実施例では下地膜301として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜301の一層目としては、プラズマCVD法を用い、 $SiH_4$ 、 $NH_3$ 、及び $N_2O$ を反応ガスとして成膜される酸化窒化珪素膜301aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜301a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜301の二層目としては、プラズマCVD法を用い、 $SiH_4$ 、及び $N_2O$ を反応ガスとして成膜される酸化窒化珪素膜301bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜301b(組成比Si=32%、O=59%、N=7%、H=2%)を形成する。

【0065】次いで、下地膜301上に半導体層302~306を形成する。半導体層302~306は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LP-CVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層302~306の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $Si_xGe_{1-x}$  (X=0.0001~0.02))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法によるパターニング処理によって、半導体層302~306を形成する。

【0066】また、半導体層302~306を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0067】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学



系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を 100 ~ 400 mJ/cm<sup>2</sup> (代表的には 200 ~ 300 mJ/cm<sup>2</sup>) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 30 ~ 300 Hz とし、レーザーエネルギー密度を 300 ~ 600 mJ/cm<sup>2</sup> (代表的には 350 ~ 500 mJ/cm<sup>2</sup>) とすると良い。そして幅 100 ~ 1000 μm、例えば 400 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 50 ~ 90 % として行えばよい。

【0068】次いで、半導体層 302 ~ 306 を覆うゲート絶縁膜 307 を形成する。ゲート絶縁膜 307 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 nm とし、珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により 110 nm の厚さで酸化窒化珪素膜 (組成比 Si = 32 %、O = 59 %、N = 7 %、H = 2 %) で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0069】また、酸化珪素膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O<sub>2</sub> とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm<sup>2</sup> で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後 400 ~ 500 °C の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0070】次いで、図 3 (A) に示すように、ゲート絶縁膜 307 上に膜厚 20 ~ 100 nm の第 1 の導電膜 308 と、膜厚 100 ~ 400 nm の第 2 の導電膜 309 とを積層形成する。本実施例では、膜厚 30 nm の TaN 膜からなる第 1 の導電膜 308 と、膜厚 370 nm の W 膜からなる第 2 の導電膜 309 を積層形成した。TaN 膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タンゲステン (WF<sub>6</sub>) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 μΩ cm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999 %) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 μΩ cm を実現するこ

とができる。

【0071】なお、本実施例では、第 1 の導電膜 308 を TaN、第 2 の導電膜 309 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu、Cr、Nd から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cu からなる合金を用いてもよい。また、第 1 の導電膜をタンタル (Ta) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタン (TiN) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta<sub>2</sub>N<sub>3</sub>) 膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta<sub>2</sub>N<sub>3</sub>) 膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。

【0072】次に、図 3 (B) に示すようにフォトリソグラフィ法を用いてレジストからなるマスク 310 ~ 314 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。本実施例では第 1 のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> とを用い、それぞれのガス流量比を 25/25/10 (sccm) とし、1 Pa の圧力でコイル型の電極 (直径 2.5 cm) に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製の ICP を用いたドライエッチング装置 (Model E 645-□ ICP) を用いた。基板側 (試料ステージ) にも電極サイズ 12.5 cm × 12.5 cm の電極を用いて 150 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパー形状とする。第 1 のエッチング条件での W に対するエッチング速度は 200.39 nm/min、TaN に対するエッチング速度は 80.32 nm/min であり、TaN に対する W の選択比は約 2.5 である。また、この第 1 のエッチング条件によって、W のテーパー角は、約 26° となる。

【0073】この後、図 3 (B) に示すようにレジストからなるマスク 310 ~ 314 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> とを用い、それぞれのガス流量比を 30/30 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側 (試料ステージ) にも 20 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub> と Cl<sub>2</sub> を混合した第 2 のエッチング条件では W 膜及び TaN 膜と

も同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta<sub>2</sub>Nに対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0074】上記第1のエッチング処理では、レジストからなるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層315~319（第1の導電層315a~319aと第2の導電層315b~319b）を形成する。320はゲート絶縁膜であり、第1の形状の導電層315~319で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0075】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。（図3（B））ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層315~319がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域321~325が形成される。高濃度不純物領域321~325には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0076】次いで、図3（C）に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を20/20/20（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta<sub>2</sub>Nに対するエッチング速度は20.67nm/minであり、Ta<sub>2</sub>Nに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層330b~334bを形成する。一方、第1の導電層315

a~319aは、ほとんどエッチングされず、第1の導電層330a~334aを形成する。

【0077】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層330b~334bを不純物元素に対するマスクとして用い、第1の導電層におけるテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーズ量 $1.5 \times 10^{14}$ 、電流密度0.5μA、加速電圧90keVにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域340~344を自己整合的に形成する。この低濃度不純物領域340~344へ添加されたリン（P）の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、且つ、第1の導電層におけるテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層におけるテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域321~325にも不純物元素が添加され、高濃度不純物領域345~349を形成する（図4（A））。

【0078】次いで、図4（B）に示すようにフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、図4（B）に示すようにレジスト（350、351）からなるマスクを形成する。

【0079】第3のエッチング処理におけるエッチング条件は、エッチングガスとしてCl<sub>2</sub>とSF<sub>6</sub>とを用い、それぞれのガス流量比を10/50（sccm）として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTa<sub>2</sub>Nに対するエッチング速度は、111.2nm/minであり、ゲート絶縁膜に対するエッチング速度は、12.8nm/minである。

【0080】本実施例では、1.3Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも10WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層340a~342aが形成される。

【0081】上記第3のエッチングによって、第1の導電層352a~354aが形成され、これと重ならない不純物領域（LDD領域）355~357が形成される。なお、不純物領域（GOLD領域）340および342は、第1の導電層330aおよび332aと重なったままである。

【0082】また、第1の導電層330aと第2の導電層330bとで形成された電極は、最終的に駆動回路の



nチャネル型TFTのゲート電極となり、また、第1の導電層352aと第2の導電層352bとで形成された電極は、最終的に駆動回路のpチャネル型TFTのゲート電極となる。

【0083】同様に、第1の導電層353aと第2の導電層353bとで形成された電極は、最終的に画素部のnチャネル型TFTのゲート電極となり、第1の導電層354aと第2の導電層354bとで形成された電極は、最終的に画素部のpチャネル型TFTのゲート電極となる。さらに第1の導電層332aと第2の導電層332bとで形成された電極は、最終的に画素部のコンデンサ（保持容量）の一方の電極となる。

【0084】このようにして、本実施例は、第1の導電層352a～354aと重ならない不純物領域（LDD領域）355～357と、第1の導電層330aおよび332aと重なる不純物領域（GOLD領域）340および342を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0085】次にゲート絶縁膜320をエッチング処理する。ここでのエッチング処理は、エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法（RIE法）を用いて行う。本実施例では、チャンバー圧力6.7Pa、RF電力800W、CHF<sub>3</sub>ガス流量35sccmでエッチング処理を行う。これにより、高濃度不純物領域345～349の一部は露呈し、絶縁膜360～364が分離形成される。

【0086】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク365、366を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型（n型）とは逆の導電型（p型）を付与する不純物元素が添加された不純物領域370～375を形成する（図4（C））。第2の導電層352b、332bおよび354bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0087】本実施例では、不純物領域370～375はジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で形成する。第1のドーピング処理及び第2のドーピング処理によって、不純物領域370～375にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0088】以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物（ボロン）のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0089】次いで、レジストからなるマスク365、366を除去して図5（A）に示すように第1の層間絶縁膜376を形成する。この第1の層間絶縁膜376としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜376は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0090】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0091】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域（345、348、370、372、374）にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0092】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0093】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜を形成させても良い。

【0094】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0095】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0096】次いで、図5（B）に示すように第1の層

間絶縁膜 376 上に有機絶縁物材料から成る第 2 の層間絶縁膜 380 を形成する。本実施例では膜厚 1.6  $\mu\text{m}$  のアクリル樹脂膜を形成した。次いで、各不純物領域 345、348、370、372、374 に達するコンタクトホールを形成するためのパターニングを行う。

【0097】第 2 の層間絶縁膜 380 としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0098】本実施例では、プラズマ CVD 法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは 1~5  $\mu\text{m}$ （さらに好ましくは 2~4  $\mu\text{m}$ ）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないために EL 素子の劣化を抑える上で有効である。また、コンタクトホールの形成には、ドライエッチングまたはウエットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウエットエッチング法を用いるのが望ましい。

【0099】さらに、ここでのコンタクトホールの形成において、第 1 層間絶縁膜及び第 2 層間絶縁膜を同時にエッチングするため、コンタクトホールの形状を考えると第 2 層間絶縁膜を形成する材料は、第 1 層間絶縁膜を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0100】そして、各不純物領域 345、348、370、372、374 とそれぞれ電氣的に接続する配線 381~388 を形成する。そして、膜厚 50 nm の Ti 膜と、膜厚 500 nm の合金膜（Al と Ti との合金膜）との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0101】次いで、その上に透明導電膜を 80~120 nm の厚さで形成し、パターニングすることによって画素電極 389 を形成する。（図 5（B））なお、本実施例では、画素電極として酸化インジウム・スズ（ITO）膜や酸化インジウムに 2~20 [%] の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0102】また、画素電極 389 は、ドレイン配線 387 と接して重ねて形成することによって電流制御用 TFT のドレイン領域と電氣的な接続が形成される。

【0103】次に、図 6 に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 500 [nm] の厚さに形成し、画素電極 389 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 390 を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する EL 層の劣化が顕著な問題となってしまうため、

注意が必要である。

【0104】なお、本実施例においては、第 3 の層間絶縁膜 390 として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）といった有機樹脂膜を用いることもできる。

【0105】次に、図 6 で示すように EL 層 391 を蒸着法により形成する。ここでは、本発明において複数形成される EL 層のうちの一種類が形成された様子を示す。

【0106】まず、画素電極 389 上に PEPOT をスピンコート法により形成する。そして、次に MTDA TA を蒸着させて正孔注入層（図示せず）を形成させる。さらに、S-TAD（スピロ型 TAD）を蒸着させることにより正孔輸送層（図示せず）を形成する。

【0107】そして、ここではスピロ型の DTVBi からなる発光層を蒸着法により形成させる。これは、単層で青色発光を示す発光材料である。なお、この時の膜厚は、1~40 nm の厚さで形成し、さらに DTVBi 上には、Alq<sub>3</sub> に DCM をドープした発光層を共蒸着法により形成する。これは、単層で赤色発光を示す発光材料である。また、膜厚は、1~40 nm の厚さで形成する。発光層を以上の二層の積層構造とすることで、白色発光層を形成させることができる。

【0108】さらに、本実施の形態で示したように他の発光層を形成させた後で、電子輸送層（図示せず）として Alq<sub>3</sub> を蒸着させる。なお、この時の膜厚は、1~50 nm とすればよい。以上により EL 層が形成される。更に蒸着法により陰極（MgAg 電極）392 および保護電極 393 を形成する。このとき EL 層 391 及び陰極 392 を形成するに先立って画素電極 389 に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例では EL 素子の陰極として MgAg 電極を用いるが、AlLi 合金や周期表の 1 族もしくは 2 族に属する元素とアルミニウムとからなる材料などを用いても良いし、他の公知の材料を用いても良い。

【0109】また、保護電極 393 は陰極 392 の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、EL 層 391、陰極 392 は非常に水分に弱いので、保護電極 393 までを大気解放しないで連続的に形成し、外気から EL 層を保護することが望ましい。

【0110】なお、EL 層 391 を形成する材料としては、公知の材料を用いることができる。本実施例では正孔注入層、正孔輸送層（Hole transporting layer）、発光層（Emitting layer）および電子輸送層でなる 4 層構造を EL 層とするが、さらに電子注入層を設けたり、または、発光層以外のいずれかが欠ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0111】また、保護電極393でもEL層391を水分や酸素から保護することは可能であるが、さらに好ましくはパッシベーション膜394を設けると良い。本実施例ではパッシベーション膜394として300nm厚の窒化珪素膜を設ける。このパッシベーション膜も保護電極393の後に大気解放しないで連続的に形成しても構わない。

【0112】なお、EL層391の膜厚は10~400[nm]（典型的には60~150[nm]）、陰極392の厚さは80~200[nm]（典型的には100~150[nm]）とすれば良い。

【0113】こうして図6に示すような構造が完成する。本明細書中では、図6に示すような構造まで作製されたものをELモジュールとよぶ。なお、本実施例におけるELモジュールの作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0114】また、nチャネル型TFT501及びpチャネル型TFT502を有する駆動回路506と、スイッチング用TFT503、電流制御用TFT504及びコンデンサ505とを有する画素部507を同一基板上に形成することができる。

【0115】なお、本実施例においては、EL素子の素子構成から下面出射となるためスイッチング用TFT503にnチャネル型TFT、電流制御用TFT504にpチャネル型TFTを用いるという構成を示したが、本実施例は、好ましい形態にすぎず、これに限られる必要はない。

【0116】駆動回路506のnチャネル型TFT501はチャンネル形成領域400、ゲート電極の一部を構成する第1の導電層330aと重なる低濃度不純物領域340（GOLD領域）とソース領域またはドレイン領域として機能する高濃度不純物領域345を有している。pチャネル型TFT502にはチャンネル形成領域401、ソース領域またはドレイン領域として機能する不純物領域370および371を有している。

【0117】画素部507のスイッチング用TFT503にはチャンネル形成領域402、ゲート電極を形成する第1の導電層353aと重ならず、ゲート電極の外側に形成される低濃度不純物領域356（LDD領域）とソース領域またはドレイン領域として機能する高濃度不純物領域348を有している。

【0118】画素部507の電流制御用TFT504にはチャンネル形成領域403、ソース領域またはドレイン領域として機能する高濃度不純物領域374および375を有している。また、コンデンサ505は、第一の導電層332aと第二の導電層332bを一方の電極とし

て機能するように形成されている。

【0119】なお、本実施例においては、画素電極（陽極）上にEL層を形成させた後、陰極を形成させる構造を示したが、画素電極（陰極）上にEL層及び陽極を形成させる構造としても良い。ただし、この場合には、これまで説明した下面出射と異なり、上面出射の形態をとる。また、この時、スイッチング用TFTおよび電流制御用TFTは、本実施例で説明した低濃度不純物領域（LDD領域）を有するnチャネル型TFTで形成するのが望ましい。

【0120】なお、本実施例において、TFTの駆動電圧は、1.2~10Vであり、好ましくは、2.5~5.5Vである。

【0121】また、画素部の表示が動作しているとき（動画表示の場合）には、EL素子が発光している画素により背景の表示を行い、EL素子が未発光となる画素により文字表示を行えばよいが、画素部の動画表示がある一定期間以上静止している場合（本明細書中では、スタンバイ時と呼ぶ）には、電力を節約するために、表示方法が切り替わる（反転する）ようにしておくとも良い。具体的には、EL素子が発光している画素により文字を表示し（文字表示ともいう）、EL素子が未発光となる画素により背景を表示（背景表示ともいう）するようにする。

【0122】〔実施例2〕次に、図6に示すELモジュールを発光装置として完成させる方法について図7を用いて説明する。

【0123】図7（A）は、ELモジュールを封止した状態を示す上面図、図7（B）は図7（A）をA-A'で切断した断面図である。点線で示された701はソース側駆動回路、702は画素部、703はゲート側駆動回路である。また、704はカバー材、705は第1シール材、706は第2シール材であり、第1シール材705で囲まれた内側は、空間になっている。

【0124】なお、708はソース側駆動回路701及びゲート側駆動回路703に輸入される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）709からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0125】次に、断面構造について図7（B）を用いて説明する。基板710の上方には画素部702、ゲート側駆動回路703が形成されており、画素部702は電流制御用TFT711とそのドレインに電気的に接続された画素電極712を含む複数の画素により形成される。また、ゲート側駆動回路703はnチャネル型TFT

T713とpチャネル型TFT714とを組み合わせたCMOS回路(図5参照)を用いて形成される。

【0126】画素電極712はEL素子の陽極として機能する。また、画素電極712の両端にはバンク715が形成され、画素電極712上にはEL層716およびEL素子の陰極717が形成される。

【0127】陰極717は全画素に共通の配線としても機能し、接続配線708を経由してFPC709に電気的に接続されている。さらに、画素部702及びゲート側駆動回路703に含まれる素子は全て陰極717およびパッシベーション膜718で覆われている。

【0128】また、第1シール材705によりカバー材704が貼り合わされている。なお、カバー材704とEL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材705の内側の空間707には窒素等の不活性気体が充填されている。なお、第1シール材705としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材705はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、空間707の内部に吸湿効果をもつ物質や酸化を防止する効果をもつ物質を含有させても良い。

【0129】また、本実施例ではカバー材704を構成するプラスチック基板の材料としてFRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【0130】また、第1シール剤705を用いてカバー材704を接着した後、さらに側面(露里面)を覆うように第2シール材706を設ける。なお、第2シール材706は第1シール材705と同じ材料を用いることができる。

【0131】以上のような構造でEL素子を空間707に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0132】なお、本実施例の構成は、実施例1のいずれの構成とも自由に組み合わせて実施することが可能である。

【0133】〔実施例3〕ここで画素部のさらに詳細な上面構造を図8(A)に、回路図を図8(B)に示す。図8において、基板上に設けられたスイッチング用TFT804は図6のスイッチング用(nチャネル型)TFT503を用いて形成される。従って、構造の説明はスイッチング用(nチャネル型)TFT503の説明を参照すれば良い。また、803で示される配線は、スイッチング用TFT804のゲート電極804a、804bを電気的に接続するゲート配線である。

【0134】なお、本実施例ではチャネル形成領域が二

つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0135】また、スイッチング用TFT804のソースはソース配線815に接続され、ドレインはドレイン配線805に接続される。また、ドレイン配線805は電流制御用TFT806のゲート電極807に電気的に接続される。なお、電流制御用TFT806は図6の電流制御用(pチャネル型)TFT504を用いて形成される。従って、構造の説明は電流制御用(pチャネル型)TFT504の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0136】また、電流制御用TFT806のソースは電流供給線816に電気的に接続され、ドレインはドレイン配線817に電気的に接続される。また、ドレイン配線817は点線で示される画素電極(陽極)818に電気的に接続される。

【0137】このとき、819で示される領域には保持容量(コンデンサ)が形成される。コンデンサ819は、電流供給線816と電気的に接続された半導体膜820、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極807との間で形成される。また、ゲート電極807、第1層間絶縁膜と同一の層(図示せず)及び電流供給線816で形成される容量も保持容量として用いることが可能である。

【0138】なお、本実施例の構成は、実施例1及び実施例2のいずれの構成とも自由に組み合わせて実施することが可能である。

【0139】〔実施例4〕本実施例では、実施例1とは異なる構成で本発明を実施した発光装置の画素部における画素構造の例を図9(A)に示し、画素部の断面構造を図9(B)に示す。

【0140】まず図9(A)において、901はスイッチング用TFT902のソースに接続されたソース信号線、また、903はスイッチング用TFT902のゲートに接続された書込用ゲート信号線である。さらに904は電流制御用TFTであり、905はコンデンサ(省略することも可能)である。また、906は電流供給線、907は消去用TFTであり、消去用ゲート信号線908に接続される。なお、909はEL素子であり、910は、対向電源である。消去用TFT907の動作については特願平11-338786号を参照すると良い。

【0141】消去用TFT907のドレインは電流制御用TFT904のゲート電極に接続され、電流制御用TFT904のゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFT907はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用

TFT902と同一構造とすることが好ましい。

【0142】次に断面構造について説明する。図9

(B)において、基板900上に設けられたスイッチング用TFT902は公知の方法を用いて形成されたnチャンネル型TFTを用いる。本実施例ではダブルゲート構造としている。ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。また、公知の方法を用いて形成されたpチャンネル型TFTを用いても構わない。

【0143】次に、消去用TFT907は公知の方法を用いて形成されたnチャンネル型TFTを用いる。なお、公知の方法を用いて形成されたpチャンネル型TFTを用いても構わない。なお、消去用TFT907のドレイン配線926は別の配線によって、スイッチング用TFT902のドレイン配線916と、電流制御用TFTのゲート電極935(935a、935b)とに電気的に接続されている。

【0144】また、本実施例において、スイッチング用TFT902および消去用TFT907の構造はいずれもゲート電極がゲート絶縁膜を介してLDD領域に重ならないように形成される。

【0145】また、電流制御用TFT904は公知の方法を用いて形成されたpチャンネル型TFTを用いる。電流制御用TFTのゲート電極935(935a、935b)は別の配線によって、スイッチング用TFT902のドレイン配線916と、消去用TFT907のドレイン配線926とに電気的に接続されている。

【0146】なお、電流制御用TFT904の構造はいずれもゲート電極がゲート絶縁膜を介してソース領域およびドレイン領域に重ならないように形成される。

【0147】また、本実施例では電流制御用TFT904をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャンネル形成領域を複数の分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0148】また、ドレイン配線936は電流供給線906に接続され、常に一定の電圧が加えられている。

【0149】スイッチング用TFT902、電流制御用TFT904及び消去用TFT907の上には第1パッシベーション膜941が設けられ、その上に樹脂絶縁膜でなる層間絶縁膜942が形成される。層間絶縁膜942を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いので、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0150】また、画素電極(陽極)943として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。なお、電流制御用TFT904のドレイン領域に電気的に接続される。

【0151】また、絶縁膜(好ましくは樹脂)で形成されたバンク944a、944bにより形成された溝(画素に相当する)の中およびバンク上にEL層945が形成される。なお、ここでは一画素しか図示していないが、本実施の形態で示したように正孔注入層、正孔輸送層、複数の発光層、電子輸送層及び電子注入層を形成することにより画素部に複数の発光層からなるEL層945を形成する。

【0152】本実施例ではEL層945の上に陰極946が形成される。なお、陰極946は、MgAgにより形成される。

【0153】陰極946まで形成された時点でEL素子909が完成する。なお、ここでいうEL素子909は、画素電極(陽極)943、EL層945、及び陰極947で形成されたコンデンサを指す。

【0154】また本実施例では、陰極946の上にさらにアルミニウムでなる保護電極947を形成し、さらにその上にパッシベーション膜948を設けている。パッシベーション膜948としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより発光装置の信頼性が高められる。

【0155】以上のように本発明は図9のような構造を有する発光装置にも用いることができる。なお、本実施例において、画素部の構造に関してのみ説明したが、駆動回路に関しては、実施例1に示したものと同一構成とする。

【0156】なお、本実施例の構成は、実施例1～実施例3のいずれの構成とも自由に組み合わせて実施することが可能である。

【0157】〔実施例5〕次に、実施例4とは異なる構成で本発明を実施した発光装置の画素部における画素構造の例を図10(A)に示し、画素部の断面構造を図10(B)に示す。なお、駆動方法等の詳細については、特願2000-127384号を参照すればよい。

【0158】まず図10(A)において、1001はスイッチング用TFT1002のソースに接続されたソース信号線、また、1003はスイッチング用TFT1002のゲート電極に接続された書込用ゲート信号線である。さらに1004(1004a、1004b)は電流制御用TFTであり、1005はコンデンサ(省略することも可能)である。また、1006は電流供給線、1

007は消去用TFTであり、消去用ゲート信号線1008に接続される。なお、1009はEL素子であり、1010は、対向電源である。

【0159】消去用TFT1007のドレインは電流制御用TFT1004のゲート電極に接続され、電流制御用TFT1004のゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFT1007はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT1002と同一構造とすることが好ましい。

【0160】また本実施例では電流制御用TFT1004として、第1の電流制御用TFT1004aと第2の電流制御用TFT1004bとが並列に設けられている。これによって、電流制御用TFTの活性層を流れる電流によって発生した熱の放射を効率的に行うことができ、電流制御用TFTの劣化を抑えることができる。また、電流制御用TFTのしきい値や移動度などの特性のばらつきによって生じるドレイン電流のばらつきを抑えることができる。

【0161】なお本実施例では電流制御用TFTとして、第1の電流制御用TFT1004aと第2の電流制御用TFT1004bの2つのTFTを用いたが、本実施例はこれに限定されない。各画素において、電流制御用TFTとして用いるTFTの数は、2以上であれば良い。

【0162】また、本実施例における発光装置の断面図を図10(B)に示すが実施例3で示したものとほとんど同じ構造であるので説明を省略するが、図10(A)の説明の際にふれたように電流制御用TFTが二つあり、なおかつ並列に形成されているのが特徴であり、これについて説明する。

【0163】図10(B)において、電流制御用TFT1004は、第1の電流制御用TFT1004a及び第2の電流制御用TFT1004bを有する。なお、第1の電流制御用TFT1004aのドレイン1032aは、ドレイン配線1036aを介してEL素子1009の画素電極1043と電気的に接続されている。また、第2の電流制御用TFT1004bのドレイン1032bも同様にドレイン配線1036bを介してEL素子1009の画素電極1043と電気的に接続されている。なお、第1の電流制御用TFT1004aおよび第2の電流制御用TFT1004bの構造はいずれもゲート電極がゲート絶縁膜を介してソース領域およびドレイン領域に重ならないように形成される。

【0164】また、第1の電流制御用TFT1004aのゲート電極1034(1034a、1034b)および第2の電流制御用TFT1004bのゲート電極1035(1035a、1035b)は、スイッチング用TFT1002のドレイン1012とドレイン配線101

6を介して電気的に接続されている。なお、消去用TFT1007のドレイン1022とドレイン配線1026を介して電気的に接続されている。

【0165】なお、本実施例において、スイッチング用TFT1002および消去用TFT1007の構造はいずれもゲート電極がゲート絶縁膜を介してLDD領域に重ならないように形成される。

【0166】なお、本実施例において、画素部の構造に関してのみ説明したが、駆動回路に関しては、実施例1に示したものと同一構成とする。また、本実施例の構成は、実施例1～実施例4のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0167】〔実施例6〕本実施例では、発明の実施の形態において説明した発光層と異なり、複数の画素列ごとに発光層が形成される場合について、図11を用いて説明する。

【0168】図11(A)において、基板1101上にソース側駆動回路1102、ゲート側駆動回路1103及び画素部1104が形成されている。なお、画素部1104には、発光層が複数の画素列ごとに形成されており、画素部1104の拡大図を図11(B)に示す。

【0169】図11(B)において、画素1105が、縦及び横に複数並んで形成されている。なお、画素1105は、画素部に設けられているゲート線(G1)、ソース線(S1)および電流供給線(V1)により形成される。

【0170】なお、本実施例では、ゲート線(G1~Gy)、ソース線(S1)および電流供給線(V1)を有する画素列をm1とよび、ゲート線(G1~Gy)、ソース線(S2)および電流供給線(V2)を有する画素列をm2、また、ゲート線(G1~Gy)、ソース線(Sx)および電流供給線(Vx)からなる画素列をmxとよぶことにする。

【0171】本実施例では、m1及びm2からなる画素列に発光層a(1106a)を形成し、画素列m3を予備領域a(1107a)とした後、m4~mx-2までの画素列に発光層b(1106b)を形成し、画素列mx-1を予備領域b(1107b)とした後、画素列mxに発光層c(1106c)を形成させる。なお、発光層の形成は、発明の実施の形態において示した方法と同じ方法を用いればよいので省略する。

【0172】また、本実施例において示した画素部の構造は、図1(B)で示した画素部とは、発光層の形状が異なるだけでなく、回路構成も異なる。これは、発光層ごとに異なる電流供給線と接続する必要があるためであり、本実施例の画素部において、電流供給線(V1~Vx)は、ソース線(S1~Sx)と平行に、かつ交互に形成されている。

【0173】なお、本実施例に示したのとは異なる形状の発光層を形成させる場合には、発光層ごとに異なる電



流供給線が接続されるような回路構成とする必要がある。

【0174】本実施例の構成は、実施例1～実施例5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0175】〔実施例7〕本発明の発光装置を駆動するにあたって、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

【0176】アナログ駆動を行う場合、スイッチング用TFTのソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用TFTのゲート電圧となる。そして、電流制御用TFTでEL素子に流れる電流を制御し、EL素子の発光強度を制御して階調表示を行う。なお、アナログ駆動を行う場合は電流制御用TFTを飽和領域で動作させると良い。

【0177】一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割駆動と呼ばれる階調表示を行う。即ち、発光時間の長さを調節することで、視覚的に色階調が変化しているように見せる。なお、デジタル駆動を行う場合は電流制御用TFTを線形領域で動作させると良い。

【0178】EL素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1フレームを複数のサブフレームに分割して階調表示を行う時分割駆動に適した素子であると言える。

【0179】このように、本発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【0180】なお、本実施例の構成は、実施例1～実施例6のいずれの構成とも自由に組み合わせて実施することが可能である。

【0181】〔実施例8〕実施例1ではトップゲート型TFTの場合について説明したが、本発明はTFT構造に限定されるものではないので、図12に示すようにボトムゲート型TFT（代表的には逆スタガ型TFT）を用いて実施しても構わない。また、逆スタガ型TFTは如何なる手段で形成されたものでも良い。

【0182】なお、図12（A）は、ボトムゲート型TFTを用いた発光装置の作製において、形成されたELモジュールの上面図である。ソース側駆動回路1201、ゲート側駆動回路1202及び画素部1203が形成されている。また、図12（A）において、 $x-x'$ で発光装置を切ったときの画素部1203の領域a1204の断面図を図12（B）に示す。

【0183】図12（B）では、画素TFTのうち電流制御用TFTについてのみ説明する。1211は基板であり、1212は下地となる絶縁膜（以下、下地膜という）である。基板1211としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、

又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0184】また、下地膜1212は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜1212としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{Ny}$ ： $x$ 、 $y$ は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0185】1213は電流制御用TFTであり、pチャネル型TFTで形成されている。本実施例に示すように、ELの発光方向が基板の上面（TFT及びEL層が設けられている面）の場合、スイッチング用TFTがnチャネル型TFTで形成され、電流制御用TFTもnチャネル型TFTで形成される構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用TFTと電流制御用TFTは、nチャネル型TFTでもpチャネル型TFTでも、どちらでも構わない。

【0186】電流制御用TFT1213は、ソース領域1214、ドレイン領域1215及びチャネル形成領域1216を含む活性層と、ゲート絶縁膜1217と、ゲート電極1218と、第1層間絶縁膜1219と、ソース配線1220並びにドレイン配線1221を有して形成される。本実施例において電流制御用TFT1213はnチャネル型TFTである。

【0187】また、スイッチング用TFTのドレイン領域は電流制御用TFT1213のゲート電極1218に接続されている。図示してはいないが、具体的には電流制御用TFT1213のゲート電極1218はスイッチング用TFTのドレイン領域（図示せず）とドレイン配線（図示せず）を介して電気的に接続されている。なお、ゲート電極1218はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、電流制御用TFT1213のソース配線1220は電流供給線（図示せず）に接続される。

【0188】電流制御用TFT1213はEL素子1230に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅（ $W$ ）はスイッチング用TFTのチャネル幅よりも大きく設計することが好ましい。また、電流制御用TFT1213に過剰な電流が流れないように、チャネル長（ $L$ ）は長めに設計することが好ましい。望ましくは一画素あたり $0.5 \sim 2 \mu\text{A}$ （好ましくは $1 \sim 1.5 \mu\text{A}$ ）となるようにする。

【0189】またさらに、電流制御用TFT1213の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは $50 \sim 100 \text{nm}$ 、さらに好ましくは $60 \sim 8$

0 nm) ことによって、TFTの劣化を抑えてもよい。

【0190】そして、電流制御用TFT1213の形成後、第1層間絶縁膜1219及び第2層間絶縁膜(図示せず)が形成され、電流制御用TFT1213と電氣的に接続された画素電極1223が形成される。本実施例では、導電膜からなる画素電極1223がEL素子1230の陰極として機能する。

【0191】具体的には、アルミニウムとリチウムの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いればよい。

【0192】そして、画素電極1213が形成された後に、第3層間絶縁膜1224が形成される。なお、この第3層間絶縁膜1224は、いわゆるバンクの役割を果たす。

【0193】つぎにEL層1225が形成される。なお、図12(B)には、同じEL層が形成される画素列が並ぶ断面図を示している。

【0194】本実施例におけるEL層は、電子注入層としてAlq3、電子輸送層としてBCPを用い、発光層としてCBPにIr(ppy)3をドープさせたものを用いた。さらに正孔輸送層として $\alpha$ -NPDを用いて形成させた。

【0195】次にEL層の上には、透明導電膜からなる陽極1226が形成される。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは、酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0196】さらに陽極上に絶縁材料からなるバッシベーション膜を形成することにより、逆スタガ型のTFT構造を有するELモジュールを形成することができる。なお、本実施例により作製した発光装置は、図12(B)の矢印の方向(上面)に光を出射させることができる。

【0197】逆スタガ型TFTは工程数がトップゲート型TFTよりも少なくし易い構造であるため、本発明の課題である製造コストの低減には非常に有利である。

【0198】なお、本実施例の構成は、実施例1～実施例7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0199】〔実施例9〕本発明の発光装置は、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることが出来る。

【0200】その様な本発明の電気器具としては、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を再生し、その画像を表示するディスプレイを備えた装置などが挙げられる。特に、

斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電気器具の具体例を図13および図14に示す。

【0201】図13(A)は表示装置であり、筐体1301、支持台1302、表示部1303等を含む。なお、表示部1303は、収納されており、使用時にこれを矢印方向に開くことにより現れる。また、操作ボタン1304も未使用時には表示部1303に覆われているが、表示部1303を開くと同時に現れる。

【0202】本発明の発光装置は表示部1303にて用いることが出来る。なお、本発明の発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0203】図13(B)は、駅やバス停等で使用する電車やバスの行き先表示版であり、本体1310、表示部1311、取り付け部1312等を含む。本発明の発光装置は表示部1311にて用いることができる。これにより、列車や路線の種類や、行き先ごとに表示分けをすることができる。

【0204】図13(C)はゲーム機であり、本体1321、表示部1322、操作ボタンa1323、操作ボタンb1324、スピーカー部1325等を含む。本発明の発光装置は表示部1322にて用いることができる。

【0205】また、上記電気器具は電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、本発明の発光装置は動画表示に好ましい。

【0206】図14(A)は携帯電話であり、本体1401、音声出力部1402、音声入力部1403、表示部1404、操作スイッチ1405、アンテナ1406を含む。本発明の発光装置は表示部1404にて用いることが出来る。なお、表示部1404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0207】図14(B)も携帯電話であるが、図14(A)とは異なり、二つ折りのタイプである。本体1411、音声出力部1412、音声入力部1413、表示部a1414、表示部b1415、アンテナ1416を含む。なお、このタイプの携帯電話には、操作スイッチが付いていないが、表示部a又は、表示部bのうちの一方の表示部に図14(C)、(D)、(E)で示するような文字情報を表示をさせてその機能をもたせている。また、もう一方の表示部には、主として画像情報を表示することになる。なお、本発明の発光装置は表示部a1414又は、表示部b1415にて用いることができる。

【0208】図14(F)は音響再生装置、具体的にはカーオーディオであり、本体1421、表示部142

2、操作スイッチ1423、1424を含む。本発明の発光装置は表示部1422にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部1422は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0209】また、本実施例で示した携帯型電気器具において、消費電力を低減するための方法として、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するといった方法が挙げられる。

【0210】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～実施例8に示したいずれの構成を適用しても良い。

【0211】〔実施例10〕次に本実施例では、画素部にSRAMを導入する場合について説明する。図15に画素1504の拡大図を示す。

【0212】図15において、1505はスイッチング用TFTである。スイッチング用TFT1505のゲート電極は、ゲート信号を入力するゲート信号線(G1～Gn)のうちの1つであるゲート信号線1506に接続されている。スイッチングTFT1505のソース領域とドレイン領域は、一方が信号を入力するソース信号線(S1～Sn)のうちの1つであるソース信号線1507に、もう一方がSRAM1508の入力側に接続されている。SRAM1508の出力側は電流制御用TFT1509のゲート電極に接続されている。

【0213】また、電流制御用TFT1509のソース領域とドレイン領域は、一方が電流供給線(V1～Vn)の1つである電流供給線1510に接続され、もう一方はEL素子1511に接続される。

【0214】EL素子1511は陽極と陰極と、陽極と陰極との間に設けられたEL層とからなる。陽極が電流制御用TFT1509のソース領域またはドレイン領域と接続している場合、言い換えると陽極が画素電極の場合、陰極は対向電極となる。逆に陰極が電流制御用TFT1509のソース領域またはドレイン領域と接続している場合、言い換えると陰極が画素電極の場合、陽極は対向電極となる。

【0215】SRAM1508はpチャネル型TFTとnチャネル型TFTを2つずつ有しており、pチャネル型TFTのソース領域は高電圧側のV<sub>d d h</sub>に、nチャネル型TFTのソース領域は低電圧側のV<sub>s s</sub>に、それぞれ接続されている。1つのpチャネル型TFTと1つのnチャネル型TFTとが対になっており、1つのSRAMの中にpチャネル型TFTとnチャネル型TFTとの対が2組存在することになる。

【0216】また、対になったpチャネル型TFTとn

チャネル型TFTは、そのドレイン領域が互いに接続されている。また対になったpチャネル型TFTとnチャネル型TFTは、そのゲート電極が互いに接続されている。そして互いに、一方の対になっているpチャネル型TFT及びnチャネル型TFTのドレイン領域が、他の一方の対になっているpチャネル型TFT及びnチャネル型TFTのゲート電極と同じ電位に保たれている。

【0217】そして一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は入力信号(V<sub>i n</sub>)が入る入力側であり、もう一方の対になっているpチャネル型及びnチャネル型TFTのドレイン領域は出力信号(V<sub>o u t</sub>)が出力される出力側である。

【0218】SRAMはV<sub>i n</sub>を保持し、V<sub>i n</sub>を反転させた信号であるV<sub>o u t</sub>を出力するように設計されている。つまり、V<sub>i n</sub>がH<sub>i</sub>だとV<sub>o u t</sub>はV<sub>s s</sub>相当のL<sub>o</sub>の信号となり、V<sub>i n</sub>がL<sub>o</sub>だとV<sub>o u t</sub>はV<sub>d d h</sub>相当のH<sub>i</sub>の信号となる。

【0219】なお、本実施例で示すように、SRAMが画素1504に一つ設けられている場合には、画素中のメモリーデータが保持されているため外部回路の大半を止めた状態で静止画を表示することが可能である。これにより、低消費電力化を実現することができる。また、画素に複数のSRAMを設けることも可能であり、SRAMを複数設けた場合には、複数のデータを保持することができるので、時間階調による階調表示を可能にする。

【0220】なお、本実施例の構成は、実施例1～実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

#### 【0221】

【発明の効果】本発明を実施することにより、アクティブマトリクス型の高精細な発光装置のマルチカラー化が容易に可能となる。さらに、複数の発光層のうち、トリプレット化合物からなる発光層を用いることにより省電力化を実現することができる。

#### 【図面の簡単な説明】

【図1】 本発明の発光装置の画素部の作製方法を示す図。

【図2】 本発明の発光装置の画素部の作製方法を示す図。

【図3】 実施例1の発光装置の作製行程を示す図。

【図4】 実施例1の発光装置の作製行程を示す図。

【図5】 実施例1の発光装置の作製行程を示す図。

【図6】 実施例1の発光装置の作製行程を示す図。

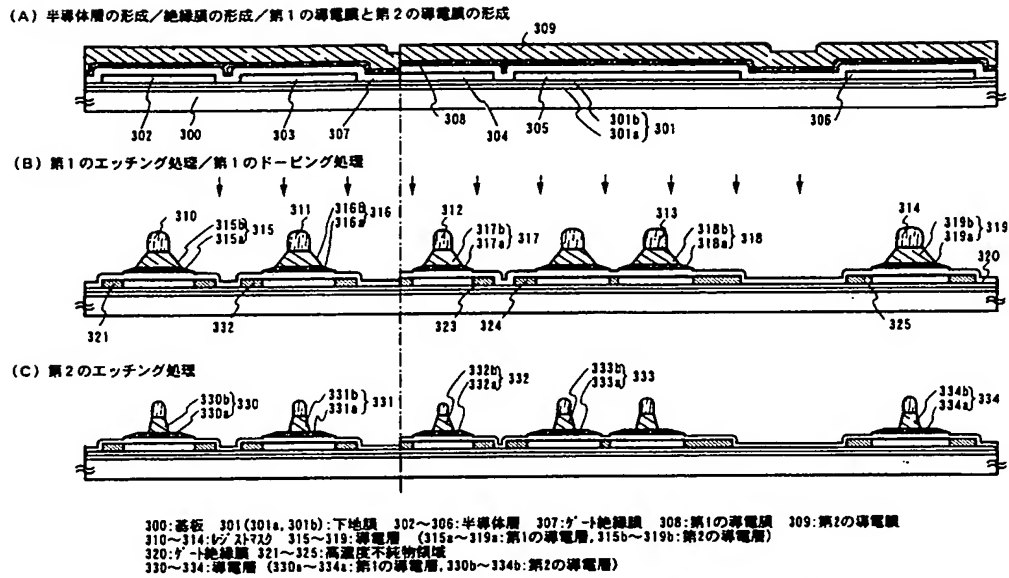
【図7】 実施例2の発光装置の封止構造を示す図。

【図8】 実施例3の発光装置の画素部の上面構造及び回路図。

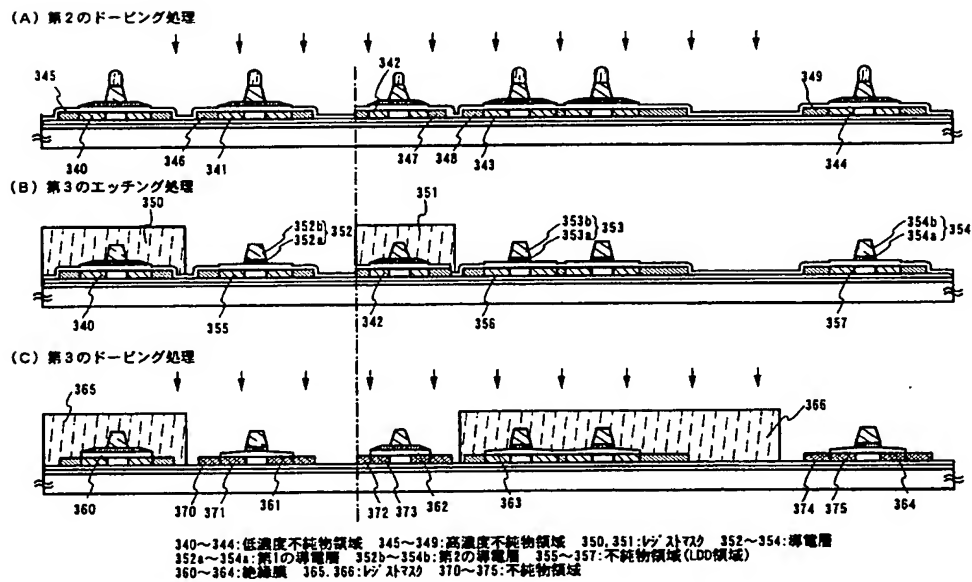
【図9】 実施例4の発光装置の画素部の回路図及び断面図。



【図3】

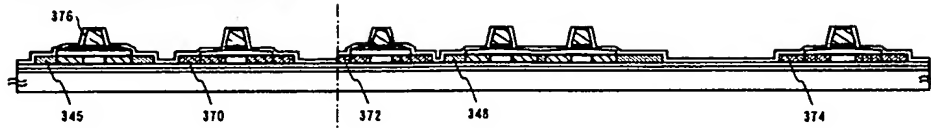


【図4】

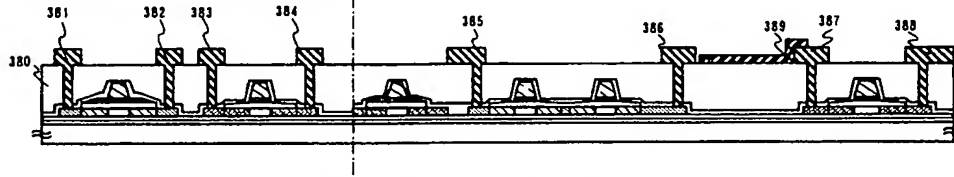


【图 5】

(A) 第1の層間絶縁膜形成、活性化処理



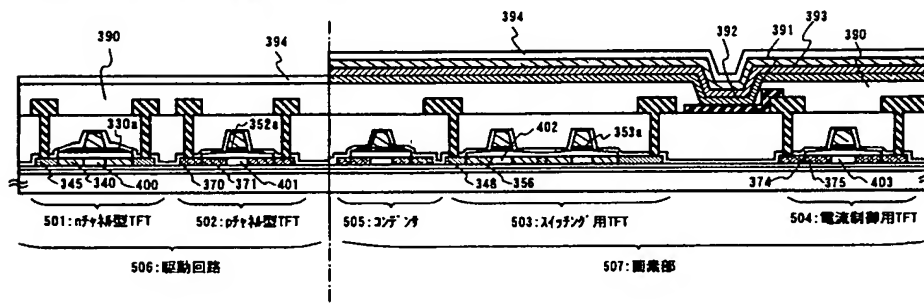
(B) 第2の層間絶縁膜、配線、西素電極形成



376:第1の層間絶縁膜 380:第2の層間絶縁膜 381~388配線 389:西側電極

【図 6】

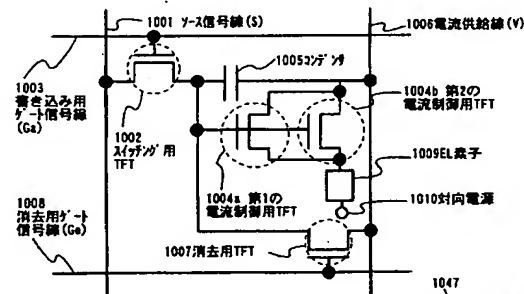
第3の層間絶縁膜、EL層、画素電極、パッシベーション膜形成



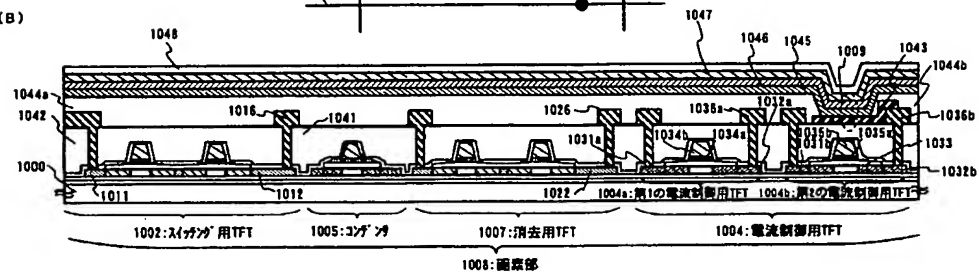
390:第3の層間絶縁膜 391:EL層 392:陰極 393:保護電極 394:パッシベーション膜

【図 10】

(A)

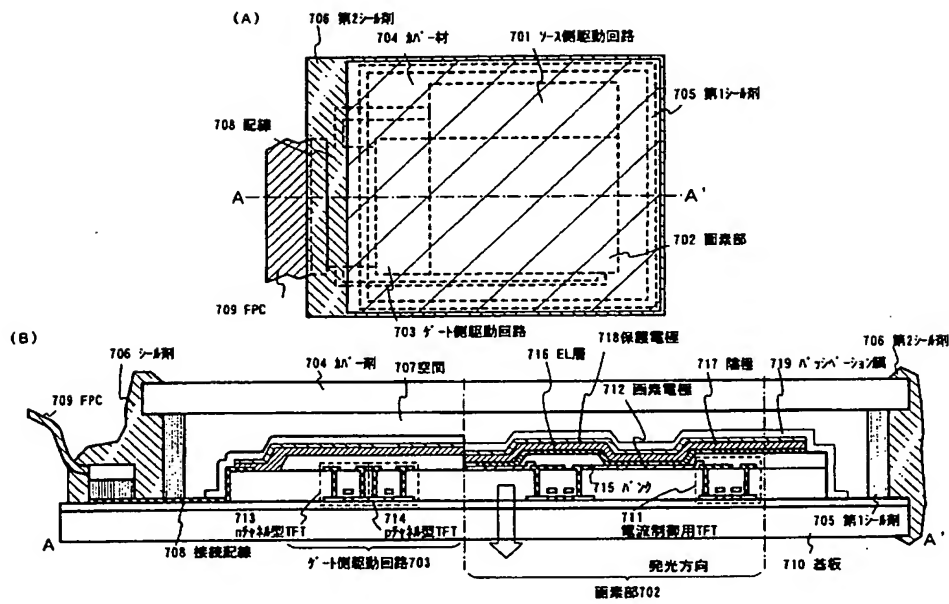


(B)

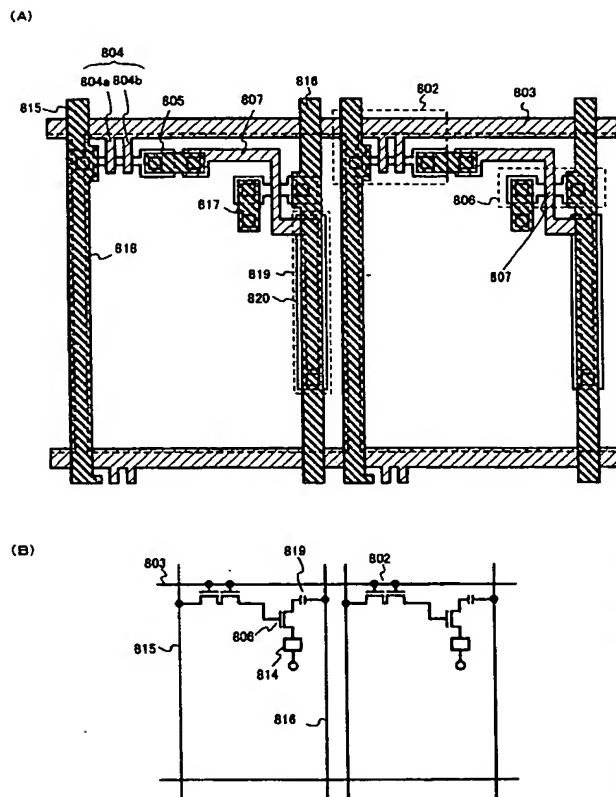




【図7】

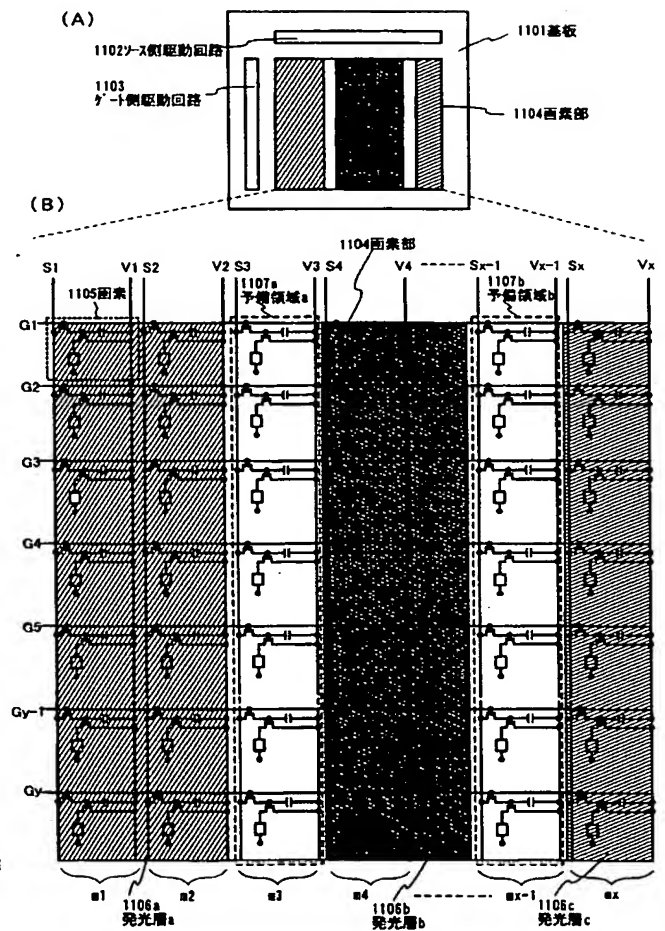


【図8】

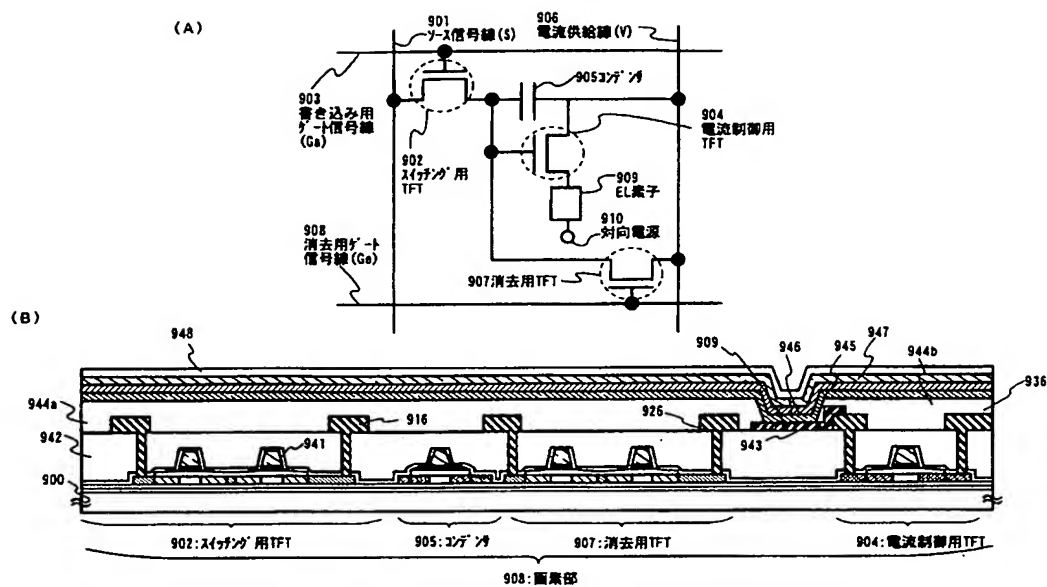


802: Siゲート用TFT 803: p+配線 804 (804a, 804b): p+電極 805: n+配線  
 806: 電流制御用TFT 807: p+電極 815: n+配線 816: 電流供給線 817: p+配線  
 818: 面素電極 (陰極) 819: Siゲート 820: 半導体膜

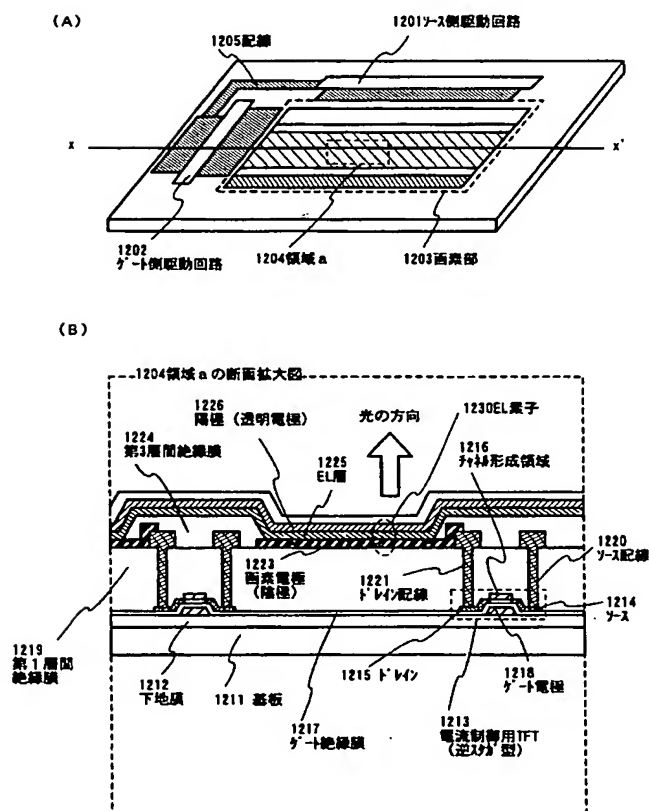
【図11】



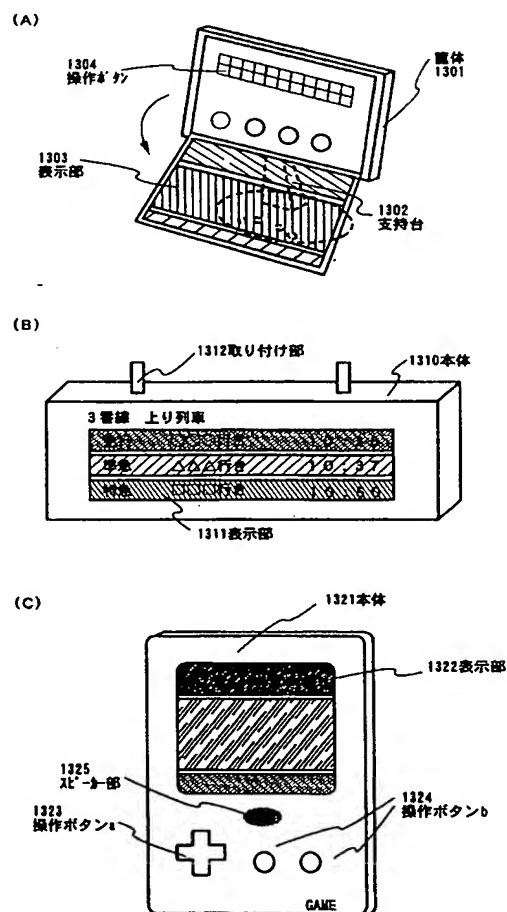
【図9】



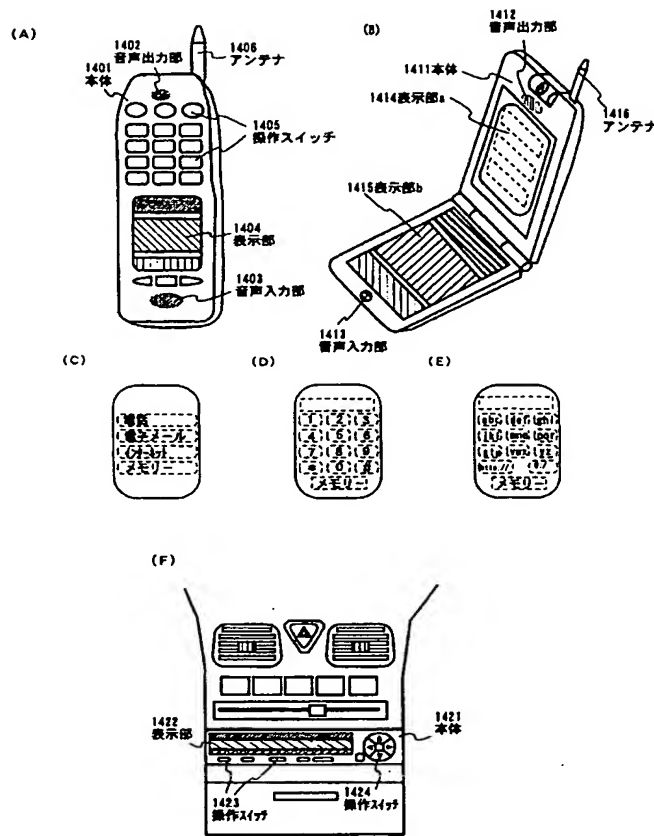
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H 0 5 B 33/08  
33/14

識別記号

F I

H 0 5 B 33/08  
33/14

テ-マ-コ-ト\*(参考)

A

F タ-ム(参考) 3K007 AB03 AB04 AB06 AB17 BA06  
BB04 BB05 BB07 CA01 CB01  
DA01 DB03 EA01 EB00 GA04  
5C080 AA06 BB05 CC03 DD28 FF11  
JJ03 JJ06  
5C094 AA05 AA08 AA22 AA24 AA31  
AA43 AA48 BA03 BA12 BA27  
CA19 CA20 CA24 CA25 DA13  
DB01 DB02 DB04 EA04 EA05  
EA07 EA10 EB02 FA01 FB01  
FB12 FB14 FB15 HA06 HA07  
HA10 JA01 JA20  
5G435 AA04 AA16 BB05 CC09 CC12  
EE37 EE41 HH12 HH13 HH14  
KK05 LL03 LL07